

(12) NACH DEM VEREINBAR ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
1. April 2004 (01.04.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/027859 A1(51) Internationale Patentklassifikation⁷: **H01L 21/78,**
21/68

(21) Internationales Aktenzeichen: PCT/EP2003/008276

(22) Internationales Anmeldedatum:
26. Juli 2003 (26.07.2003)

(25) Einreichungssprache: Deutsch

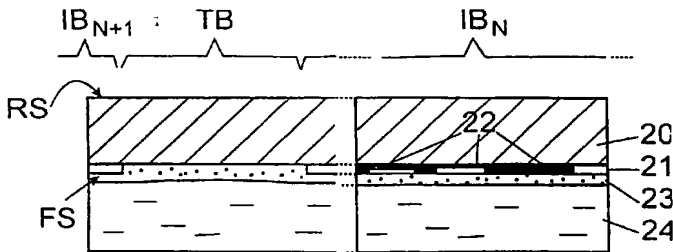
(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 38 444.4 22. August 2002 (22.08.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **UNITED MONOLITHIC SEMICONDUCTORS**
GMBH [DE/DE]; Wilhelm-Runge-Str. 11, 89081 Ulm
(DE).

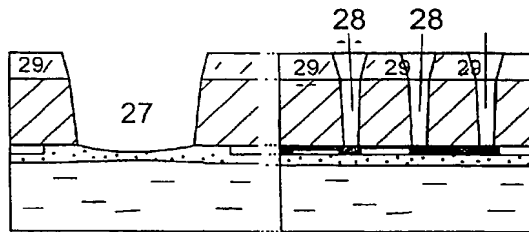
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BEHAMMER, Dag**
[DE/DE]; Im Wiblinger Hart 22, 89079 Ulm (DE).(74) Anwalt: **WEBER, Gerhard**; Postfach 2029, 89073 Ulm
(DE).(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE,

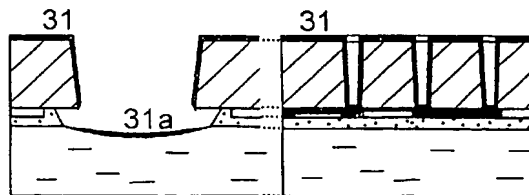
[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE PRODUCTION OF INDIVIDUAL MONOLITHICALLY INTEGRATED SEMICONDUCTOR
CIRCUITS(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG VON VEREINZELTEN MONOLITHISCH INTEGRIERTEN HALB-
LEITERSCHALTUNGEN

a



c



e

(57) Abstract: A method for the production of individual integrated circuit arrangements from a wafer composite is disclosed, whereby the wafer is fixed with the component side (FS) on a support, the individual circuit arrangements (21) are separated on the support body by the etching of separating trenches (27) and individually lifted from the support body. The semiconductor substrate (20) is reduced in thickness during the fixing of the wafer to the support body, preferably to a substrate thickness of less than 100 μm. A reverse face metallization (31) is deposited on the back face (RS) of the thinned substrate, preferably after separation of the circuit arrangements on the support body.

(57) Zusammenfassung: Für die Herstellung von einzelnen integrierten Schaltungsanordnungen aus einem Waferversbund wird ein Verfahren vorgeschlagen, bei welchem der Wafer mit der Bauelementseite (FS) auf einem Träger fixiert, die einzelnen Schaltungsanordnungen (21) durch Ätzen von Trenngräben (27) auf dem Trägerkörper separiert und einzeln vom Trägerkörper abgehoben werden. Das Halbleitersubstrat (20) wird während der Fixierung des Wafers auf dem Trägerkörper gedünnt, vorzugsweise auf weniger als 100 μm Substratdicke.

[Fortsetzung auf der nächsten Seite]



GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Bezeichnung der Erfindung

Verfahren zur Herstellung von vereinzelt monolithisch integrierten Halbleiterschaltungen

Die Erfindung betrifft ein Verfahren zur Herstellung von einzelnen monolithisch integrierten Halbleiterschaltungen.

Bei der Herstellung integrierter Halbleiterschaltungen, auch einfach als IC oder Chip bezeichnet, werden typischerweise auf einer dünnen Halbleiterscheibe, dem Wafer, als Substrat eine größere Anzahl von Schaltungen gleichzeitig erzeugt, welche in einem späteren Verfahrensschritt vereinzelt werden, insbesondere durch Sägen oder Ritzen des Wafers. Die ICs weisen typischerweise auf einer Frontseite des Substrats eine Mehrzahl von Bauelementen und auf der Rückseite eine Rückseitenmetallisierung auf, wobei die Rückseitenmetallisierung auf Bezugspotenzial liegen und mit einzelnen Leiterflächen auf der Frontseite über Durchgangslöcher (via) durch das Substrat elektrisch verbunden sein kann.

Bei einem aus der US 6 448 151 B2 bekannten Verfahren erfolgt die Trennung einzelner Chips aus einem Wafer mechanisch, indem in den Wafer von der Rückseite her mit einem dünnen Sägeblatt Gräben gesägt werden, welche so weit in das Substrat reichen, dass auch nach Dünnen der Rückseite diese Gräben noch vorhanden sind. Die endgültige Vereinzelung erfolgt nach Umsetzen des Wafers von der Vorderseite erneut durch Sägen.

Bei einem in der US 2002/00 55 238 A1 beschriebenen Verfahren werden von der Schaltkreis-Seite eines Wafers Gräben eingesägt und bei einem mit der Schaltkreis-Seite auf einen Zwischenträger aufgeklebtem Wafer das Substrat

von der Rückseite her auf die gewünschte Dicke abgetragen, wobei die zuvor gesägten Gräben so tief sind, dass nach dem Dünnen des Substrats die einzelnen Chips in der Substratebene voneinander getrennt sind. Die noch im geklebten Verbund befindlichen Chips werden mit der Rückseite auf einem zweiten Träger befestigt und der erste Zwischenträger wird abgelöst. Danach werden die Zwischenräume zwischen den in der Substratebene getrennten Chips durch eine obere Teilschicht des zweiten Trägers vertieft und die Chips im Verbund von Substrat und oberer Schicht des zweiten Trägers von der unteren Schicht des zweiten Trägers vereinzelt abgenommen.

In der US 2001/00 05 043 A1 sind u. a. Ausführungsbeispiele angegeben, bei welchen der Wafer mit der Bauelementseite auf einem Träger befestigt wird. Nach Dünnen des Substrates von der Rückseite her werden in einem Schritt Vias und Trenngräben geätzt und die Rückseite flächig mit einer Rückseitenmetallisierung versehen. Eine auf der Bauelementseite die einzelnen Bauelemente umgebende Metallbahn dient als Ätzstopp im Bereich der Trenngräben und überbrückt diese Trenngräben anfänglich, so dass die einzelnen Chips über die Metallisierung und die Metallrahmen auf der Bauelementseite noch verbunden sind. In einem ersten Beispiel werden die Chips im Verbund umgesetzt und mit der Rückseite auf einem Trägerband befestigt und in dieser Position entlang der verbliebenen Verbindungen über die Metallbahnen mechanisch aufgetrennt. In anderer Vorgehensweise erfolgt die Auftrennung der im Bereich der Trenngräben verbliebenen metallischen Chipverbindungen bei dem Träger zugewandter Bauelementseite und die Elemente werden danach auf ein Trägerband übernommen.

Die US 4 722 130 A beschreibt ein Verfahren, bei welchem von der Bauelementseite her mechanisch Gräben in das Substrat eingearbeitet werden und das Substrat danach auf einen ersten Zwischenträger geklebt wird. Nach Dün-

nen des Substrats von der Rückseite her bleiben an den Stellen der gefrästen Trenngräben noch dünne Materialstege stehen, so dass das Substrat unverändert einen starren Verband bildet. Auf die Rückseite wird dann eine halbstarre Verbindungsschicht und ein PVC-Träger aufgesetzt und der erste Zwischenträger abgenommen. Durch Erwärmen und Dehnen des PVC-Trägers werden die verbliebenen dünnen Substratstege aufgerissen und derart die einzelnen Chips mechanisch separiert.

In der US 6 215 194 werden die einzelnen Chips eines Wafers, welche auf einem Träger aufgeklebt sind, durch Fräsen von Trenngräben in der Substratebene separiert und durch ein separates Trennwerkzeug aus dem Verband herausgetrennt und auf einen Chipträger aufgedrückt und aufgeklebt.

Bei einem aus der WO 99/25 019 A1 bekannten Verfahren zur Dünnung von Wafern werden von der Bauelementseite Trenngräben in ein Halbleitersubstrat eingebracht und das Substrat mit der Bauelementseite auf einen Träger aufgeklebt. Danach wird das Substrat von der Rückseite her bis zu den Gräben abgetragen.

Auch in der WO 01/03 180 A1 werden von der Bauelementseite her Gräben in das Halbleitersubstrat eingebracht, wobei dies sowohl mechanisch als auch durch Trockenätzen erfolgen kann, und nach Aufkleben des Wafers auf einen festen Träger die Rückseite bis zu den Gräben abgetragen, so dass die Chips in der Substratebene getrennt auf dem Träger vorliegen.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein vorteilhaftes Verfahren für die Herstellung von vereinzelt monolithisch integrierten Halbleiterschaltungen anzugeben.

Die Erfindung ist im unabhängigen Patentanspruch beschrieben. Die abhängigen Ansprüche enthalten vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung.

Die Erfindung ermöglicht eine sichere und stabile Handhabung des Wafers in kritischen Verfahrensschritten, insbesondere bei geringen Dicken des Substrats. Gemäß einer vorteilhaften Ausführung wird das Substrat nach Fertigstellung der Halbleiterschaltungen einschließlich der Leiterflächen und ggf. einer Passivierung der Frontseite auf eine Substratdicke von weniger als 100 μm gedünnt. Dies ist insbesondere für Halbleiterschaltungen auf GaAs-Substrat von Vorteil, da GaAs eine geringe Wärmeleitfähigkeit besitzt und die Abführung von Verlustwärme im Betrieb an eine Wärmesenke bei geringer Substratdicke wesentlich verbessert ist. Durch die geringe Substratdicke verringert sich auch der Öffnungsquerschnitt der sich von der Frontseite zur Rückseite hin aufweitenden Durchgangslöcher, so dass die Packungsdichte der Schaltungen bei dem dünnen Substrat erhöht werden kann.

Die Befestigung des Wafers auf einem starren Träger vor dem Dünnen des Substrats gewährleistet eine stabile und sichere Handhabung auch bei durch starke Waferdünnung sehr geringen Substratdicken. Insbesondere wird auch eine nicht ebene Verformung des Wafers durch thermische Einflüsse oder insbesondere auch durch interne mechanische Spannungen im Halbleitermaterial, wie sie für Heterostruktur-Halbleiter-Schichtfolgen typisch sind, vermieden.

Vorteilhafterweise wird auch eine elektrische Funktionsprüfung, insbesondere hinsichtlich des Hochfrequenzverhaltens, erst nach der Vereinzelung der Bauelemente und damit bei Vorliegen der Rückseitenmetallisierung und der Durchkontaktierungen durch die Durchgangslöcher an vollständig verschalteten Einheiten vorgenommen.

Die Befestigung des einheitlichen Wafers auf dem starren Träger, welcher beispielsweise ein Saphir sein kann, erfolgt mittels einer Befestigungsschicht aus vorzugsweise adhäsivem Material, insbesondere einem Klebstoff, einem Kitt, einem Gel oder dergleichen, welcher auch Unebenheiten der ggf. passivierten Oberfläche der Wafer-Frontseite folgen kann. Bevorzugt ist ein adhäsives Befestigungsmaterial, dessen Adhäsion zu der Wafer-Frontseite bei höherer Temperatur geringer ist. Die individuelle Ablösung der mechanisch getrennten IC von dem Träger erfolgt vorzugsweise durch mechanisches Abheben unter Überwindung der Adhäsionskraft, wofür bei dem bevorzugten Befestigungsmaterial dieses den IC vorzugsweise über den Trägerkörper erwärmt wird, um die Ablösekraft zu verringern. Zur Ablösung der individuellen IC kann günstigerweise ein Werkzeug nach Art einer Vakuumpinzette eingesetzt werden.

Vorteilhafterweise werden die mehreren IC eines auf dem Träger befestigten Wafers in der Weise in der Waferebene lateral separiert, dass von der dem Trägerkörper abgewandten Substratrückseite Trenngräben geätzt werden, welche vorteilhafterweise wenigstens bis an oder in das Befestigungsmaterial reichen. Bei der Ätzung der Trenngräben wird unterhalb des Wafers vorteilhafterweise eine laterale Unterätzung im Befestigungsmaterial erzeugt. Dies ermöglicht, das Metall für die Rückseitenmetallisierung und die Durchkontaktierungen nach Fertigstellung auch der Trenngräben ganzflächig abzuscheiden, ohne dass eine Metallisierungsbrücke über die Trenngräben entsteht. Die Metallisierungsschicht ist an den bei den Unterätzungen auftretenden Stufen unterbrochen.

Gemäß einer besonders vorteilhaften Ausführung können die Durchgangslöcher durch das Substrat und die Trenngräben in einem gemeinsamen Ätzvorgang, insbesondere mit gemeinsamer photolithographischer Ätzmaske

und/oder wenigstens teilweise gemeinsamem Ätzmittel hergestellt werden. Hierbei kann vorteilhaft ausgenutzt werden, dass bei der gebräuchlichen Ätzung der Durchgangslöcher die Leiterflächen auf der Frontseite als Ätzstoppschicht wirken und in den Bereichen zwischen benachbarten ICs des Wafers keine Leiterflächen vorgesehen sind, so dass die Ätzung im Bereich der Trenngräben in das Befestigungsmaterial fortschreitet, während sie im Bereich der Durchgangslöcher an den Leiterflächen der Frontseite stoppt. Hieraus resultiert ein besonders einfacher Verfahrensablauf.

Nach individuellem Abheben der in der Substratebene separierten ICs als Einzelchips von dem Trägerkörper werden die Chips einzeln weiterbehandelt, was beispielsweise Reinigungsvorgänge, insbesondere aber auch Prüfvorgänge mit z.B. optischer Oberflächenprüfung und elektrischer Funktionsprüfung beinhalten kann. Vorteilhafterweise kann der Schritt der optischen Prüfung zugleich der Ausrichtung der Chips in eine definierte Position für die Spitzenkontaktierung zur elektrischen Funktionsprüfung einschließen. Die geprüften Chips können zur Auslieferung an Kunden und/oder zur Zwischenlagerung auf Zwischenträger, welche z.B. als „blue tape“ oder „geel pack“ gebräuchlich sind, abgelegt oder ohne einen solchen Zwischenschritt gleich in Schaltungsmodule eingebaut werden.

Die Erfindung ist nachfolgend anhand bevorzugter Ausführungsbeispiele noch eingehend veranschaulicht. Dabei zeigt

- Fig. 1 eine Seitenansicht eines Wafers auf einem Träger,
- Fig. 2 eine bevorzugte Rückseitenbehandlung eines Wafers
- Fig. 3 die Behandlung vereinzelter IC

Fig. 1 zeigt in seitlicher Ansicht ein Schnittbild durch einen dielektrischen Trägerkörper TR, beispielsweise einen Saphir, und durch einen Wafer WA, welcher auf der Frontseite FS eines Halbleitersubstrats HS eine Mehrzahl separater integrierter Schaltungen mit Halbleiterbauelementen und metallischen Leiterflächen enthält.

Der Wafer WA ist auf der in Fig. 1 nach unten weisenden Frontseite FS mit einer anorganischen Schutzschicht 23 bedeckt. Die dem Wafer zugewandte Fläche des Trägerkörpers TR ist mit einem Aufkittmaterial versehen. Der Wafer wird mit der Oberfläche der Schutzschicht 23 auf das Aufkittmaterial aufgedrückt und von diesem adhäsiv auf dem Träger TR fixiert. Nach Fixieren des Wafers auf dem Träger wird das Substrat von der dem Träger abgewandten Rückseite her auf die mit unterbrochener Linie angedeutete gewünschte Dicke, insbesondere auf weniger als 100 µm, gedünnt (Pfeile DS), vorzugsweise durch Schleifen.

In Fig. 2 wird ausgegangen von einem unverändert auf dem Trägerkörper über das Aufkittmaterial 24 fixierten Wafer mit auf die gewünschte Dicke gedünntem Substrat. Der Trägerkörper selbst ist aus Gründen der Übersichtlichkeit in Fig. 2 nicht mehr mit eingezeichnet.

In Fig. 2 a) bis e) ist jeweils in seitlicher Schnittdarstellung in der linken Bildhälfte ein Ausschnitt mit einem Trennbereich TB zwischen zwei auf einem Wafer benachbarten integrierten Schaltungsbereichen IB_N und IB_{N+1} und in der rechten Bildhälfte ein Ausschnitt aus einem Bereich IB_N einer integrierten Schaltung mit Durchkontaktierungen in Durchgangslöcher skizziert. Die Skizzen sind nicht maßstäblich.

Auf der dem Trägerkörper zugewandten Frontseite des gedünnten Substrats 20 ist mit 21 die Schaltungsebene mit Leiterflächen 22 bezeichnet, welche durch die Schutzschicht 23 abgedeckt ist (Fig. 2a).

Auf die Rückseite RS des gedünnten Substrats 20 wurde eine Photolackschicht PL aufgebracht und mit ersten Öffnungen 25 für Trenngräben im Trennbereich TB und zweiten Öffnungen 26 für Durchgangslöcher zu Leiterflächen im Schaltungsbereich IB der einzelnen integrierten Schaltungen strukturiert.

In einem ersten gemeinsamen Ätzschritt werden unter Verwendung der strukturierten Photolackschicht PL im Trennbereich TB Trenngräben 27 und im Schaltungsbereich IB Durchgangslöcher 28 durch das Halbleitersubstrat 20 freigeätzt. Die Ätzparameter sind so eingestellt, dass die Durchgangslöcher mit schrägen Flanken sich von der Rückseite RS zur Frontseite hin konisch verjüngen. Diese Art, Durchgangslöcher zu ätzen, ist allgemein gebräuchlich. Der Ätzvorgang für die Durchgangslöcher stoppt im Schaltungsbereich IB durch die Wahl des Ätzmittels und die Einstellung der Ätzparameter automatisch an den Leiterflächen 22 der Schaltungsebene 21, wogegen im Trennbereich TB, in welchem keine derartigen Leiterflächen vorliegen, der Ätzvorgang bis in die Schutzschicht 23 durchgeht (Fig. 2 c).

Der Ätzvorgang wird in einem zweiten Ätzschritt vorzugsweise unter Wechsel des Ätzmittels und/oder Änderung der Ätzparameter fortgesetzt, wobei vorzugsweise das Substratmaterial nicht weiter abgetragen wird und wobei im Schaltungsbereich IB die Leiterflächen 22 nicht angegriffen werden, hingegen das Material der Schutzschicht 23 unter dem Trenngraben 27 im Trennbereich TB in einer bis an oder in das Aufkittmaterial 24 reichenden Vertiefung entfernt wird. Ätzmittel und Ätzparameter sind so gewählt, dass das Material

der Schutzschicht auch lateral unter dem Substrat 20 abgetragen wird, so dass durch Unterätzung des Substrats ein Überhang 30a entsteht. Gemäß einer bevorzugten Ausführungsform erfolgt die Ätzung der Vertiefung 30 in der Schutzschicht 23 einschließlich der Überhänge 30a zusammen mit der Entfernung der Photolackmaske 29.

Bei der anschließenden ganzflächigen gerichteten Abscheidung der Rückseitenmetallisierung 31 ist durch die Stufen an den Überhängen 30a der in die Vertiefung 30 auf das Aufkittmaterial abgeschiedene Metallfilm 31a gegen die Metallisierung auf Rückseite und Seitenflanken des Substrats 20 unterbrochen. In den Durchgangslöchern bildet die Rückseitenmetallisierung 31 in gebräuchlicher Weise einen entlang der schrägen Kanten bis zu den Leiterflächen 22 durchgehenden Metallfilm, über welchen die derart kontaktierten Leiterflächen 22 auf das elektrische Potenzial der Rückseitenmetallisierung 31 gelegt werden können.

Die durch die bis zum Aufkittmaterial durchgehenden Trenngräben 27 (einschließlich der Vertiefungen 30) seitlich separierten integrierten Schaltungen können durch eine senkrecht zur Substratebene wirkende und die Adhäsionskraft des Aufkittmaterials zu der Schutzschicht 23 überwindende Ablösekraft individuell von dem Aufkittmaterial gelöst werden. Durch Wahl eines Aufkittmaterials, welches bei Erwärmen eine deutliche Verringerung dieser Adhäsionskraft zeigt, und durch Erwärmen des Aufkittmaterials, vorzugsweise über den Trägerkörper, können die einzelnen Schaltungsanordnungen mit geringer Ablösekraft zur weiteren Behandlung vereinzelt werden. Zum Abheben vom Trägerkörper TR entgegen einer geringen Adhäsionskraft und zur weiteren Handhabung der vereinzelt Schaltungsanordnungen können vorteilhafterweise sogenannte Vakuumpinzetten 4 wie in Fig. 3 schematisch gezeichnet verwandt werden.

Nach Abheben einer Schaltungsanordnung (Chip) IC vom Trägerkörper TR (Fig. 3A) wird in der in Fig. 3 skizzierten Abfolge von Handhabungsschritten der durch die Vakuumpinzette 4 an der Rückseite gehaltene Chip IC gewendet (Fig. 3B) und durch einen Lösungsmittelstrahl 5 gereinigt (Fig. 3C) und anschließend mit Inertgas 6 getrocknet (Fig. 3D). Eine weitere Vakuumpinzette 7 übernimmt den Chip auf der Frontseite (Fig. 3E) und legt ihn mit der metallisierten Rückseite auf die geerdete elektrostatische Grundplatte 10 (Fig. 3F). Der auf der Grundplatte 10 elektrostatisch gehaltene Chip wird einer automatischen optischen Kontrolle 9 unterzogen (Fig. 3G) und dabei vorteilhafterweise durch Drehen und/oder Verschieben der Grundplatte oder auf dieser in der Plattenebene 8 definiert justiert und so für eine nachfolgende elektrische Messung 11 (Fig. 3H) ausgerichtet.

Die die optische und die elektrische Kontrolle passierenden Chips können in eine Lager- oder Versandablage 13 eingesetzt werden (Fig. 3I).

Die vorstehend und die in den Ansprüchen angegebenen sowie die den Abbildungen entnehmbaren Merkmale sind sowohl einzeln als auch in verschiedener Kombination vorteilhaft realisierbar. Die Erfindung ist nicht auf die beschriebenen Ausführungsbeispiele beschränkt, sondern im Rahmen fachmännischen Könnens in mancherlei Weise abwandelbar.

Patentansprüche:

1. Verfahren zur Herstellung von monolithisch integrierten Halbleiterschaltungen, welche auf einer Frontseite eines gedünnten Substrats eine Bauelementstruktur und eine metallisierte Substrat-Rückseite sowie elektrische Verbindungen zwischen metallischer Substrat-Rückseite und Leiterflächen auf der Frontseite über Durchgangslöcher durch das Substrat aufweisen, aus einem eine Mehrzahl separater Bauelementstrukturen enthaltenden Wafer, wobei
 - a) der Wafer nach Fertigstellung der frontseitigen Bauelementstrukturen mit der frontseitigen Oberfläche mittels einer Befestigungsschicht flächig auf einem starren Träger befestigt wird,
 - b) das Substrat auf die gewünschte Dicke gedünnt wird,
 - c) die Durchgangslöcher durch das Substrat bis zu den Leiterflächen auf der Frontseite erzeugt werden,
 - d) die Trenngräben zwischen den monolithischen Halbleiterschaltungen bis an oder in die Zwischenschicht erzeugt werden,
 - e) die Rückseitenmetallisierung einschließlich der elektrischen Verbindungen durch die Durchgangslöcher hergestellt wird,
 - f) die Halbleiterschaltungen individuell von dem starren Träger abgelöst und vereinzelt weiterbearbeitet werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass für die Befestigungsschicht ein adhäsives Material verwandt wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass ein adhäsives Material mit bei höherer Temperatur geringerer Adhäsion zur frontseitigen Oberfläche des Wafers verwandt wird.
4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass die individuelle Ablösung der Halbleiterschaltungen von dem Träger mechanisch unter Überwindung der Adhäsionskraft des Befestigungsmaterials zur frontseitigen Oberfläche des Wafers vorgenommen wird.
5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass das Substrat auf eine Dicke von weniger als 100 μm gedünnt wird.
6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Trenngräben durch einen photolithographischen Ätzprozess erzeugt werden.
7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass auf der Frontseite des Wafers eine Schutzschicht aufgebracht wird.
8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass in der frontseitigen Schutzschicht des Wafers eine laterale Unterätzung des Substrats erzeugt wird.
9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die Abscheidung der Rückseitenmetallisierung nach Erzeugung der

Trenngräben vorgenommen wird.

10. Verfahren nach einem der Ansprüche 6 bis 9, dadurch gekennzeichnet, dass für die Herstellung der Durchgangslöcher und der Trenngräben eine gemeinsame photolithographische Maske verwandt wird.
11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass eine elektrische Funktionsprüfung der Halbleiterschaltungen nach der Vereinzelung vorgenommen wird.

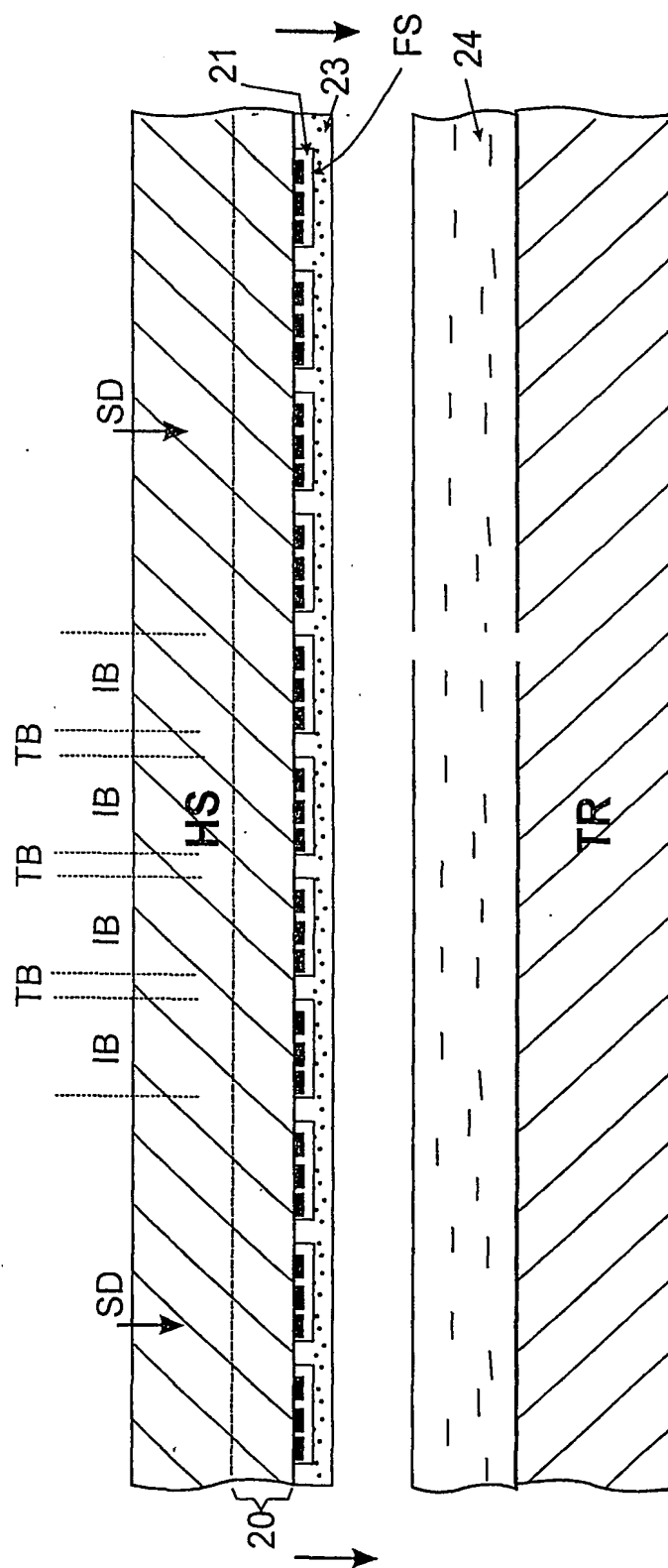
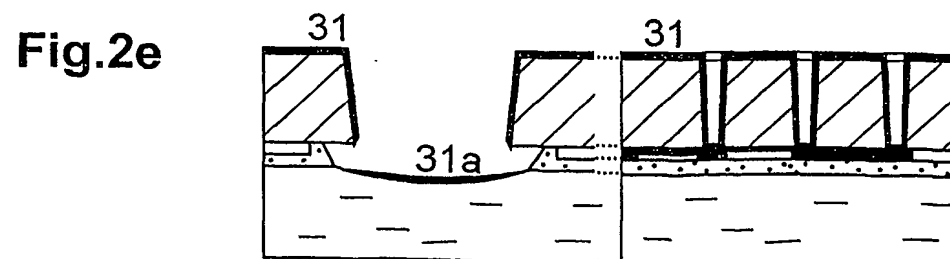
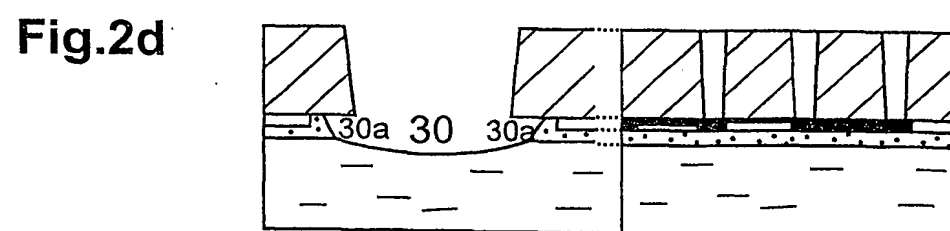
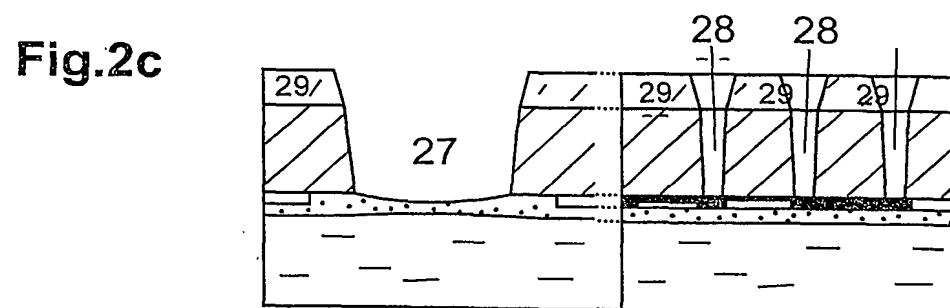
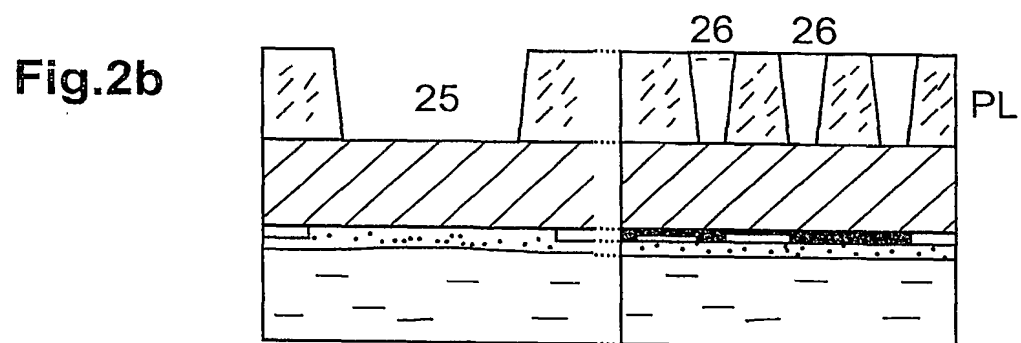
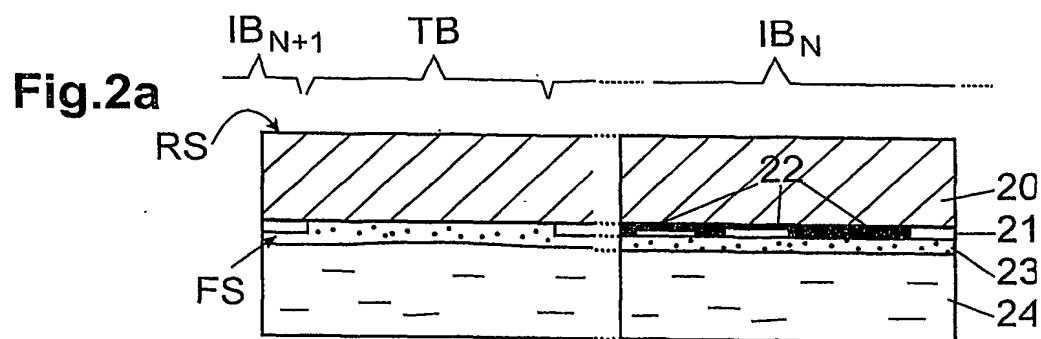


Fig. 1



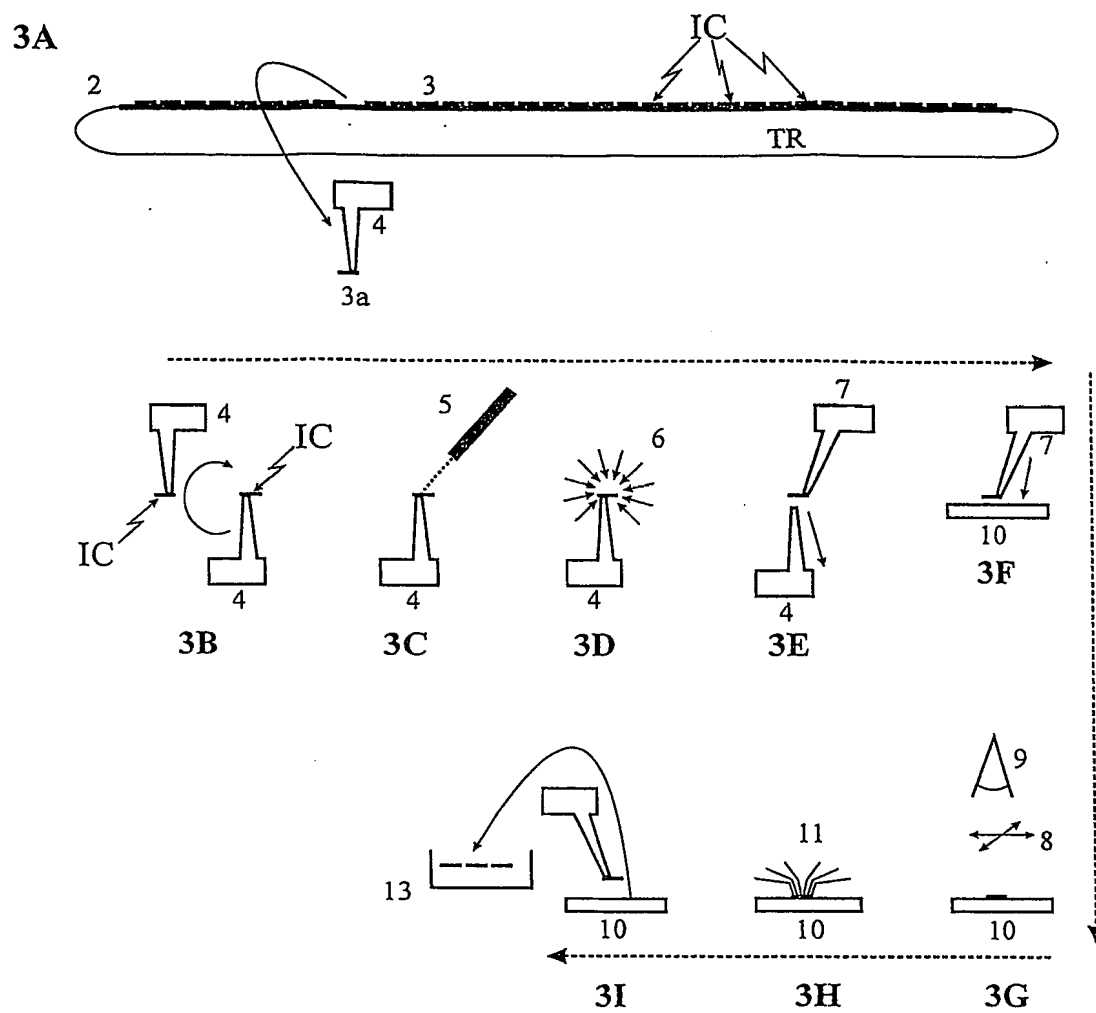


Fig. 3

INTERNATIONAL SEARCH REPORT

International Application No

PCT 03/08276

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H01L21/78 H01L21/68

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/022343 A1 (NONAKA YASUNORI) 21 February 2002 (2002-02-21) the whole document	1-3, 5-7, 9-11
X	US 5 919 713 A (SUZUKI YOJI ET AL) 6 July 1999 (1999-07-06) column 1, line 31 -column 2, line 24	1-3, 5-7, 9
X	PATENT ABSTRACTS OF JAPAN vol. 018, no. 626 (E-1636), 29 November 1994 (1994-11-29) & JP 06 244277 A (TOSHIBA CORP), 2 September 1994 (1994-09-02) abstract	1-3, 5-7, 9, 10
	--- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

20 November 2003

Date of mailing of the international search report

16/12/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Ploner, G

INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP03/08276

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 013, no. 248 (E-770), 9 June 1989 (1989-06-09) & JP 01 048423 A (FUJITSU LTD), 22 February 1989 (1989-02-22) abstract; figures 1A-F ---	1-3,5-7
A	PATENT ABSTRACTS OF JAPAN vol. 016, no. 420 (E-1259), 4 September 1992 (1992-09-04) & JP 04 144245 A (MITSUBISHI ELECTRIC CORP), 18 May 1992 (1992-05-18) abstract; figures 4A-F ---	1-11
A	US 2001/005043 A1 (YAMADA HIROJI ET AL) 28 June 2001 (2001-06-28) cited in the application the whole document -----	1-11

INTERNATIONAL SEARCH REPORT

International Application No

PCT/03/08276

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 2002022343	A1	21-02-2002	JP	2002057128 A	22-02-2002
			TW	511198 B	21-11-2002
US 5919713	A	06-07-1999	JP	3156896 B2	16-04-2001
			JP	7221051 A	18-08-1995
			US	6455945 B1	24-09-2002
JP 06244277	A	02-09-1994	NONE		
JP 01048423	A	22-02-1989	JP	1947010 C	10-07-1995
			JP	6071045 B	07-09-1994
JP 04144245	A	18-05-1992	NONE		
US 2001005043	A1	28-06-2001	JP	2001185519 A	06-07-2001

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/78 H01L21/68

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2002/022343 A1 (NONAKA YASUNORI) 21. Februar 2002 (2002-02-21) das ganze Dokument	1-3, 5-7, 9-11
X	US 5 919 713 A (SUZUKI YOJI ET AL) 6. Juli 1999 (1999-07-06) Spalte 1, Zeile 31 - Spalte 2, Zeile 24	1-3, 5-7, 9
X	PATENT ABSTRACTS OF JAPAN vol. 018, no. 626 (E-1636), 29. November 1994 (1994-11-29) & JP 06 244277 A (TOSHIBA CORP.), 2. September 1994 (1994-09-02) Zusammenfassung	1-3, 5-7, 9, 10

-/--

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. November 2003

Absendedatum des internationalen Recherchenberichts

16/12/2003

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Ploner, G

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN vol. 013, no. 248 (E-770), 9. Juni 1989 (1989-06-09) & JP 01 048423 A (FUJITSU LTD), 22. Februar 1989 (1989-02-22) Zusammenfassung; Abbildungen 1A-F ---	1-3,5-7
A	PATENT ABSTRACTS OF JAPAN vol. 016, no. 420 (E-1259), 4. September 1992 (1992-09-04) & JP 04 144245 A (MITSUBISHI ELECTRIC CORP), 18. Mai 1992 (1992-05-18) Zusammenfassung; Abbildungen 4A-F ---	1-11
A	US 2001/005043 A1 (YAMADA HIROJI ET AL) 28. Juni 2001 (2001-06-28) in der Anmeldung erwähnt das ganze Dokument -----	1-11
BEST AVAILABLE COPY		

INTERNATIONALER RECHERCHENBERICHT

Internationaler Aktenzeichen

PCT/EP 03/08276

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2002022343	A1	21-02-2002	JP TW	2002057128 A 511198 B	22-02-2002 21-11-2002
US 5919713	A	06-07-1999	JP JP US	3156896 B2 7221051 A 6455945 B1	16-04-2001 18-08-1995 24-09-2002
JP 06244277	A	02-09-1994	KEINE		
JP 01048423	A	22-02-1989	JP JP	1947010 C 6071045 B	10-07-1995 07-09-1994
JP 04144245	A	18-05-1992	KEINE		
US 2001005043	A1	28-06-2001	JP	2001185519 A	06-07-2001